

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

WON-HO LEE

Application No.:

Filed:

For: **UNIT PIXEL FOR USE IN CMOS
IMAGE SENSOR**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	2003-27879	30 April 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Thomas M. Coester, Reg. No. 39,637

Dated: December 29, 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0027879
Application Number

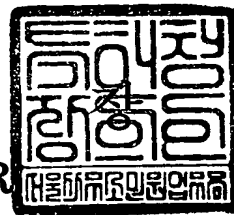
출원 년 월 일 : 2003년 04월 30일
Date of Application APR 30, 2003

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 11 월 26 일

특 허 청
COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0040
【제출일자】	2003.04.30
【발명의 명칭】	씨모스 이미지 센서의 단위화소
【발명의 영문명칭】	UNIT PIXEL FOR CMOS IMAGE SENSOR
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이원호
【성명의 영문표기】	LEE, Won Ho
【주민등록번호】	720807-1182513
【우편번호】	156-091
【주소】	서울특별시 동작구 사당동 105번지 신동아아파트 407-1408
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	7 면 7,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	36,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 5개의 M1CT을 갖는 단위화소의 배드픽셀페일 발생을 억제하면서 플로팅확산노드(FD)와 드라이브트랜지스터의 게이트간 연결을 단순화시킨 씨모스 이미지 센서의 단위화소에 관한 것으로, 포토다이오드, 상기 포토다이오드와 전원전압단 사이에 소스-드레인 경로가 형성되고 게이트로 제1제어신호를 인가받는 리셋트랜지스터, 상기 포토다이오드와 플로팅확산노드 사이에 소스-드레인 경로가 형성되며 게이트로 제2제어신호를 인가받는 트랜스퍼트랜지스터, 게이트가 상기 플로팅확산노드에 접속되고 드레인이 상기 전원전압단에 접속된 드라이브트랜지스터, 게이트에 제3제어신호를 인가받으며 드레인이 상기 드라이브트랜지스터의 소스에 접속되며 자신의 소스는 출력단에 접속된 셀렉트트랜지스터, 및 상기 드라이브트랜지스터의 소스와 상기 플로팅확산노드 사이에 소스-드레인 경로가 형성되며 게이트가 상기 플로팅확산노드에 접속된 더미 트랜지스터(상기 전원전압보다 높은 문턱전압을 가져 항상 턴오프 상태를 유지하는 트랜지스터)를 포함한다.

【대표도】

도 4

【색인어】

이미지 센서, 더미트랜지스터, 버팅콘택, 브릿지배선, 문턱전압, 고리



【명세서】

【발명의 명칭】

씨모스 이미지 센서의 단위화소{UNIT PIXEL FOR CMOS IMAGE SENSOR}

【도면의 간단한 설명】

도 1은 4개의 트랜지스터와 2개의 캐패시턴스 구조로 이루어지는 씨모스 이미지센서의 단위화소를 보이는 회로도,

도 2a는 도 1의 씨모스 이미지센서의 단위화소를 나타낸 레이아웃도,

도 2b는 플로팅확산노드와 드라이브트랜지스터의 연결관계를 도시한 도면,

도 3a는 본 발명의 실시예에 따른 씨모스 이미지 센서의 단위화소를 나타낸 회로도,

도 3b는 도 3a의 단위화소의 전류 흐름을 나타낸 도면,

도 4는 도 3에 도시된 단위화소의 제1레이아웃도,

도 5는 도 4의 더미트랜지스터 및 플로팅확산노드의 전기적 연결을 도시한 도면,

도 6은 도 3에 도시된 단위화소의 제2레이아웃도,

도 7은 도 6의 더미트랜지스터 및 플로팅확산노드의 전기적 연결을 도시한 도면.

* 도면의 주요 부분에 대한 부호의 설명

31 : 제1활성영역

32a, 32b, 32c : 제2활성영역

33 : 트랜스퍼트랜지스터의 게이트

34 : 리셋트랜지스터의 게이트

35a, 35b : 셀렉트트랜지스터의 게이트



36a, 36b, 36c : 드라이브트랜지스터의 게이트

37 : p형 웰

38 : 버팅콘택

39 : 높은 문턱전압층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 이미지 센서에 관한 것으로, 특히 씨모스 이미지 센서에 관한 것이다.

<18> 일반적인 씨모스 이미지센서의 단위화소(Unit Pixel)는 하나의 포토다이오드 (Photodiode; PD)와 네 개의 NMOS(Tx Tr, Rx Tr, Sx Tr, Dx Tr)로 구성된다.

<19> 네 개의 NMOS는 포토다이오드(PD)에서 집속된 광전하(Photo-generated charge)를 플로팅 디퓨전영역(Floating Diffusion; FD)으로 운송하기 위한 트랜스퍼트랜지스터(Transfer transistor; Tx), 원하는 값으로 노드의 전위를 세팅하고 전하(C_{pd})를 배출하여 플로팅디퓨전 영역(FD)을 리셋(Reset)시키기 위한 리셋트랜지스터(Reset transistor; Rx), 소오스팔로워-버퍼증폭기(Source Follower Buffer Amplifier) 역할을 하는 드라이브트랜지스터(Drive transistor; Dx), 스위칭으로 어드레싱(Addressing)을 할 수 있도록 하는 셀렉트트랜지스터(Select transistor; Sx)로 구성된다.

<20> 도 1은 4개의 트랜지스터와 2개의 캐패시턴스 구조로 이루어지는 씨모스 이미지센서의 단위화소를 보이는 회로도로서, 광감지 수단인 포토다이오드(PD)와 4개의 NMOSFET로 구성되는 씨모스 이미지센서의 단위화소를 보이고 있다. 4개의 NMOSFET 중 트랜스퍼트랜지스터(Tx)는 포

토다이드(PD)에서 생성된 광전하를 플로팅확산노드(FD)로 운송하는 역할을 하고, 리셋트랜지스터(Rx)는 신호검출을 위해 플로팅확산노드(FD)에 저장되어 있는 전하를 배출하는 역할을 하고, 드라이브트랜지스터(Dx)는 소스팔로워(Source Follower)로서 역할하며, 셀렉트트랜지스터(Sx)는 스위칭(Switching) 및 어드레싱(Addressing)을 위한 것이다. 도면에서 'Cf'는 플로팅확산노드가 갖는 캐패시턴스를, 'Cp'는 포토다이드가 갖는 캐패시턴스를 각각 나타낸다. 설명되지 않은 나머지 트랜지스터(LD)는 바이어스 전압(Bias Voltage; V_b)에 의해 구동되는 로드 트랜지스터이다.

<21> 도 2a는 도 1의 씨모스 이미지센서의 단위화소를 나타낸 레이아웃도이고, 도 2b는 플로팅확산노드와 드라이브트랜지스터의 연결관계를 도시한 도면이다.

<22> 도 2a에 도시된 바와 같이, 트랜스퍼트랜지스터의 게이트가 그 일측이 포토다이드가 형성될 활성영역에 소정폭 오버랩되면서 형성되고, 트랜스퍼트랜지스터의 게이트 타측 아래 활성영역에는 플로팅확산노드가 형성된다. 여기서, 포토다이드(PD)는 상대적으로 넓은 면적을 갖고 포토다이드(PD)로부터 플로팅확산노드(FD)로는 병목 효과(bottle neck effect)를 주면서 그 면적이 좁아진다.

<23> 그리고, 플로팅확산노드(FD)를 중심으로 전하의 이동 방향으로 리셋트랜지스터(Rx), 드라이브트랜지스터(Dx), 셀렉트트랜지스터(Sx)가 형성될 활성영역이 연장되어 형성된다. 여기서, 각 트랜지스터의 게이트가 소정 간격을 두고 활성영역의 상부를 가로지르면서 배열되고 있다.

<24> 그리고, 드라이브트랜지스터(Dx), 셀렉트트랜지스터(Sx)가 내포되는 p형 웰(PW)이 형성된다.

- <25> 종래 기술의 단위화소는 5개의 콘택(M1CT)을 갖는데, 트랜스퍼트랜지스터의 게이트에 제어신호 Tx를 인가하기 위한 'Tx CT', 플로팅확산노드와 드라이브트랜지스터의 게이트를 연결하기 위한 'FD CT'과 'Dx CT', 전원전압이 공급되는 'VDD CT', 단위화소의 출력을 위한 'output CT'이 있다.
- <26> 도 2a와 같은 종래 기술에서 드라이브트랜지스터와 셀렉트트랜지스터가 형성되는 p형 웰은 최근에 소자가 스케일링됨에 따라 그 면적이 감소하고 있다. 이와 같이, p형 웰의 면적이 감소함에 따라 고해상도를 위해서는 감광막 두께가 감소하여야 하고, 리트로그레이드웰(Retrograde well) 형성을 위한 이온주입에너지가 증가함에 따라 감광막 두께는 증가하여야 한다. 즉, 고해상도를 위한 감광막 두께 감소와 이온주입에너지증가에 따른 감광막 두께 증가는 서로 트레이드오프(trade-off) 관계를 유지하는 문제가 있다. 또한, 종래 기술은 소자의 스케일링에 따라 확장된 p형 웰(extended p-type well) 공정을 추가로 적용해야만 하므로 마스크, 이온주입 및 감광막 스트립 공정의 3단계가 추가되어 공정이 복잡해지는 문제가 있다. 즉, 종래 기술은 p형 웰 마스크, p형 웰 체인(chain) 이온주입, p형 웰 마스크 제거의 3단계 공정으로 이루어지나, 소자 스케일링이 되는 경우, p형 웰 포토시 p형 웰과 미니(mini) p형 웰 공정으로 나누어 진행해야 한다. 예컨대, 미니 p형 웰에 드라이브트랜지스터와 셀렉트트랜지스터가 내포되는 것이다.
- <27> 그리고, 종래기술은 도 2b에 도시된 바와 같이, 플로팅확산노드(FD)와 드라이브트랜지스터의 게이트(Dx)간의 연결이 활성영역 콘택인 M1CT, 금속배선 M1, 폴리실리콘막 콘택인 M1CT의 경로를 통해서 이루어지므로 신호전달이 매우 느린 단점을 갖고 있다. 또한 M1CT 정의 및 겹필이 매우 어려워 공정마진이 부족한 단점이 있다.

<28> 그리고, 종래 기술은 5개의 금속배선콘택(M1CT)을 갖는데, 이와 같이 많은 수의 콘택은 단위화소내 배드픽셀페일을 유발하는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 소자의 스케일링에 따라 확장된 p형 웰 공정을 진행하는 공정의 복잡함을 단순화시키는데 적합한 씨모스 이미지 센서의 단위화소를 제공하는데 그 목적이 있다.

<30> 본 발명의 다른 목적은 플로팅확산노드와 드라이브트랜지스터의 게이트간 연결이 다중 경로를 거침에 따른 신호전달이 느려지는 것을 억제하는데 적합한 씨모스 이미지 센서의 단위화소를 제공하는데 있다.

<31> 본 발명의 또다른 목적은 5개의 M1CT에 따른 배드픽셀페일 발생을 억제하는데 적합한 씨모스 이미지 센서의 단위화소를 제공하는데 있다.

【발명의 구성 및 작용】

<32> 상기 목적을 달성하기 위한 본 발명의 씨모스 이미지 센서의 단위화소는 포토다이오드, 상기 포토다이오드와 전원전압단 사이에 소스-드레인 경로가 형성되고 게이트로 제1제어신호를 인가받는 리셋트랜지스터, 상기 포토다이오드와 플로팅확산노드 사이에 소스-드레인 경로가 형성되며 게이트로 제2제어신호를 인가받는 트랜스퍼트랜지스터, 게이트가 상기 플로팅확산노드에 접속되고 드레인이 상기 전원전압단에 접속된 드라이브트랜지스터, 게이트에 제3제어신호를 인가받으며 드레인이 상기 드라이브트랜지스터의 소스에 접속되며 자신의 소스는 출력단에 접

속된 셀렉트트랜지스터, 및 상기 드라이브트랜지스터의 소스와 상기 플로팅확산노드 사이에 소스-드레인 경로가 형성되며 게이트가 상기 플로팅확산노드에 접속된 더미 트랜지스터를 포함하는 것을 특징으로 하며, 상기 더미트랜지스터는 상기 전원전압보다 높은 문턱전압을 가져 항상 턴오프 상태를 유지하는 트랜지스터인 것을 특징으로 한다.

<33> 또한, 본 발명의 씨모스 이미지 센서의 단위화소는 포토다이오드가 형성된 제1활성영역, 및 상기 제1활성영역과 고리 형태를 형성하도록 상기 제1활성영역의 일측 모서리로부터 연장되어 상기 제1활성영역의 타측 모서리에 접속되는 제2활성영역을 포함하는 것을 특징으로 하고, 상기 제2활성영역은 상기 제1활성영역의 일측 모서리로부터 연장되며 트랜스퍼트랜지스터 및 플로팅확산노드가 형성된 제1영역, 상기 제1영역으로부터 상기 제1활성영역의 타측 모서리 방향으로 뻗어 드라이브트랜지스터, 셀렉트트랜지스터 및 상기 드라이브트랜지스터 동작시 상기 플로팅확산노드로의 전류 역류를 방지하는 더미트랜지스터가 형성된 제2영역, 및 상기 제2영역으로부터 상기 제1활성영역의 모서리까지 연장되어 전원전압단과 리셋트랜지스터가 형성된 제3영역을 포함하는 것을 특징으로 하며, 상기 제2영역을 내포하는 도전성 웰을 더 포함하는 것을 특징으로 하고, 상기 드라이브트랜지스터의 게이트는 상기 제2영역 상부를 가로지르는 제1종방향스트라이프, 상기 제1종방향스트라이프로부터 연장되어 상기 제2영역과 나란히 배치되는 횡방향스트라이프, 및 상기 횡방향스트라이프로부터 연장되어 다시 상기 제2영역 상부를 가로지르며 상기 더미트랜지스터의 게이트를 겹치는 제2종방향스트라이프를 포함하는 것을 특징으로 한다.

<34> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.



- <35> 도 3a는 본 발명의 실시예에 따른 씨모스 이미지 센서의 단위화소를 나타낸 회로도이다.
- 도 3a는 광감지 수단인 포토다이오드(PD)와 4개의 NMOSFET로 구성되는 씨모스 이미지센서의 단위화소를 보이고 있으며, 리셋트랜지스터가 포토다이오드의 일측에 연결되어 리셋효율을 증대시키고 있다.
- <36> 도 3a에 도시된 바와 같이, 4개의 NMOSFET 중 트랜스퍼트랜지스터(22)는 포토다이오드(21)에서 생성된 광전하를 플로팅확산노드(23)로 운송하는 역할을 하고, 리셋트랜지스터(24)는 포토다이오드(21)에 저장되어 있는 전하를 배출하는 역할을 하고, 드라이브트랜지스터(25)는 소스팔로워로서 역할하며, 셀렉트트랜지스터(26)는 스위칭 및 어드레싱을 위한 것이다. 도면에 서 'Cf'는 플로팅확산노드가 갖는 캐패시턴스를, 'Cp'는 포토다이오드가 갖는 캐패시턴스를 각각 나타내며, 'output'는 단위화소의 출력단을 나타낸다. 설명되지 않은 나머지 트랜지스터(LD)는 바이어스 전압(V_b)에 의해 구동되는 로드 트랜지스터이다. 그리고, 드라이브트랜지스터(25)의 드레인단자와 리셋트랜지스터의 드레인단자에 전원전압단자(VDD)가 공통으로 접속되고 있다.
- <37> 도 3a에 도시된 단위화소는 드라이브트랜지스터(25)의 소스단자와 플로팅확산노드(23) 사이에 NMOSFET(27)(이하 '더미 트랜지스터'라고 약칭함)가 연결되고 있는데, 이 더미 트랜지스터(27)는 문턱전압이 전원전압(또는 동작전압)보다 높은 트랜지스터로서 항상 턴오프 상태를 유지하고 있다. 따라서, 더미 트랜지스터(27)는 단위화소를 구성하는 트랜지스터로 간주하지 않으며, 이로써 본 발명의 단위화소는 종래기술의 단위화소와 동일하게 4개의 트랜지스터로 구성된다.



- <38> 도 3b는 도 3a의 단위화소의 전류 흐름을 나타낸 도면으로서, 문턱전압이 높은 더미트랜지스터(27)를 드라이브트랜지스터(25) 부근에 형성하므로써, 드라이브트랜지스터(25) 동작시 전류가 플로팅확산노드(FD)쪽으로 역류하지 못하도록 방지한다.
- <39> 도 4는 도 3에 도시된 단위화소의 제1레이아웃도이다.
- <40> 도 4에 도시된 바와 같이, 포토다이오드가 형성될 제1활성영역(31)과 제1활성영역(31)의 일측 모서리로부터 연장되어 제1활성영역(31)의 타측 모서리에 접속되는 제2활성영역(32a, 32b, 32c)으로 구성된다.
- <41> 자세히 살펴보면, 제1활성영역(31)은 단위화소의 하부영역 대부분에 할당되며, 이는 포토다이오드의 면적을 증가시킴을 의미한다. 즉, 단위화소내 포토다이오드가 차지하는 면적 비율을 나타내는 필팩터(fill factor)가 종래 기술에 비해 증가한다. 종래기술에서는 포토다이오드가 형성되는 활성영역이 레이아웃상에서 단위화소의 상부 및 좌측을 제외한 영역에 할당됨에 따라 필팩터가 작았다.
- <42> 그리고, 제2활성영역(32a, 32b, 32c)은 제1활성영역(31) 상부에 형성되어 고리 형태의 단위화소를 형성하는데, 제1활성영역(31)의 일측 모서리로부터 연장된 제1영역(32a)과 상기 제1영역(32a)으로부터 제1활성영역(31)의 타측 모서리 방향으로 뻗은 제2영역(32b)과 제2영역(32b)으로부터 제1활성영역(31)의 모서리까지 연장된 제3영역(32c)으로 구성된다. 여기서, 제1영역(32a)은 트랜스퍼트랜지스터 및 플로팅확산노드가 형성될 영역이며, 제2영역(32b)은 드라이브트랜지스터와 셀렉트트랜지스터가 형성될 영역이고, 제3영역(32c)은 전원전압단(VDD)과 리셋트랜지스터가 형성될 영역이다. 이때, 제2영역(32b)은 p형 웰(37)에 의해 내포되고 있다. 리셋트랜지스터와 드라이브트랜지스터가 형성되는 제2영역(32b)이 리셋트랜지스터와 트랜스퍼트랜지스터가 형성되는 제1영역(32a)과 제3영역(32c)으로 레이아웃상에서 확실히 구분되므로 p형



웰(37)의 영역이 확장될 수 있다. 이는 종래 소자의 스케일링에 따라 단위화소의 크기가 감소할수록 p형 웰의 영역도 감소하게 되어 i-line 감광막으로 정의하기가 곤란한 종래 기술의 단점을 극복할 수 있도록 해준다.

<43> 그리고, 제1활성영역(31)과 제2활성영역의 제1영역(32a)간 접합부 상부에 트랜스퍼트랜지스터의 게이트(33)가 위치하고, 제1활성영역(31)과 제2활성영역의 제3영역(32c)간 접합부 상부에 리셋트랜지스터의 게이트(34)가 위치하며, 제2활성영역의 제2영역(32b)과 나란히 배치되는 스트라이프(35a)와 스트라이프(35a)로부터 돌출되어 제2영역(32b)의 중앙부를 교차하는 방향으로 배치된 돌출부(35b)로 이루어진 셀렉트트랜지스터의 게이트가 형성된다. 여기서, 돌출부(35b)는 그 끝단이 제1활성영역(31)과 오버랩되지 않는 길이를 갖고 형성된다.

<44> 그리고, 드라이브트랜지스터의 게이트가 제2활성영역 상부에 형성되는데, 리셋트랜지스터의 게이트의 일측에 위치하여 제2활성영역의 제2영역(32b) 상부를 가로지르는 제1종방향스트라이프(36a), 제1종방향스트라이프(36a)로부터 연장되어 제2활성영역의 제2영역(32b)과 나란히 배치되는 횡방향스트라이프(36b) 및 횡방향스트라이프(36b)로부터 연장되어 다시 제2활성영역의 제2영역(32b) 상부를 가로지르는 제2종방향스트라이프(36c)로 구성된다. 따라서, 드라이브트랜지스터의 게이트는 레이아웃상에서 셀렉트트랜지스터의 게이트의 돌출부(35b)를 에워싸는 형태를 갖는다.

<45> 한편, 드라이브트랜지스터의 게이트를 이루는 제2종방향스트라이프(36c)는 더미트랜지스터의 게이트 역할을 겸하는 것으로, 더미트랜지스터가 제2활성영역의



제1영역(32a)이 아닌 제2영역(32b)에 형성되도록 한다. 드라이브트랜지스터의 게이트 및 더미 트랜지스터의 게이트는 도 3에 도시된 것처럼 플로팅확산노드(FD)와 연결되는데, 본 발명에서는 하나의 콘택, 바람직하게는 버팅콘택(butting contact, 38)을 통해서 드라이브트랜지스터의 게이트를 플로팅확산노드와 연결시켜 콘택의 수를 감소시킨다. 아울러, 버팅콘택(38)을 통해 플로팅확산노드와 드라이브트랜지스터의 게이트를 직접 연결하므로써 신호전달이 용이하여 씨모스 이미지 센서의 감도를 확보하는데 매우 유리하다.

<46> 설명되지 않은 VDD CT, Tx CT, output CT는 본 발명의 단위화소의 M1CT를 나타내는 것으로, 버팅콘택(38)을 포함하여 본 발명의 단위화소는 4개의 M1CT가 형성되어 있다. 이는 종래 M1CT의 수가 5개인 것을 4개로 감소시켜 배드픽셀페일을 억제할 수 있음을 의미한다.

<47> 도 4에서, 문턱전압이 매우 높은 더미트랜지스터는 드라이브트랜지스터의 게이트를 이루는 제2종방향스트라이프(36c)에 의해 형성되는데, 제2종방향스트라이프(36c)의 일부로부터 플로팅확산노드가 형성될 제1영역(32a)의 일부까지 확장된 높은 문턱전압층(39)을 갖는다. 즉, 높은 문턱전압층(39)은 제2종방향스트라이프(36c)의 일부와 제1영역(32a)의 일부까지 오버랩되면서 형성되는 이온주입층이다.

<48> 도 5는 도 4의 더미트랜지스터 및 플로팅확산노드의 전기적 연결을 도시한 도면이다.

<49> 도 5에 도시된 바와 같이, p형 에피층(100)의 일부에 p형 웰(37)이 형성되고, p형 웰(37) 상에 더미트랜지스터의 게이트 역할을 하는 드라이브트랜지스터의 제2종방향스트라이프(36c)가 형성되며 p형 에피층 표면 상에 트랜스퍼트랜지스터의 게이트(33)가 형성된다. 여기서, 제2종방향스트라이프(36c)와 트랜스퍼트랜지스터의 게이트(33) 아래에 게이트절연막(101)이 형성되고, 제2종방향스트라이프(36c)와 트랜스퍼트랜지스터의 게이트(33) 양측벽에 각각 스페이서(102)가 형성된다.



- <50> 그리고, 제2종방향스트라이프(36c)와 트랜스퍼트랜지스터의 게이트(33) 사이에 플로팅확산노드(FD)가 형성되며, 더미트랜지스터의 높은 문턱전압층(39)이 제2종방향스트라이프(36c)의 일부와 플로팅확산노드(FD)의 일부에 동시에 오버랩되어 형성된다. 이때, 높은 문턱전압층(39)은 B^{11} 또는 BF_2 를 20~40keV의 이온주입에너지 및 $1.0E12 \sim 9.0E13$ 의 도즈로 이온주입하여 형성한 것으로, 이러한 이온주입을 통해 전원전압[일반적으로 동작전압(V_{op})이라고 함]보다 높은 문턱전압값을 갖는다.
- <51> 그리고, 제2종방향스트라이프(36c)와 트랜스퍼트랜지스터의 게이트(33) 상면과 플로팅확산노드(FD) 상면에 살리사이드(salicide, 104)가 형성되며, 제2종방향스트라이프(36c)와 트랜스퍼트랜지스터의 게이트(33)를 덮는 층간절연막(103)이 형성되고, 층간절연막(103)을 식각하여 제2종방향스트라이프(36c)의 일부와 플로팅확산노드(FD)의 일부를 동시에 노출시킨 콘택홀에 버텰콘택(38)이 매립된다. 여기서, 버텰콘택(38)은 텅스텐플러그이다.
- <52> 도 6은 도 3에 도시된 단위화소의 제2레이아웃도이다.
- <53> 도 6에 도시된 바와 같이, 포토다이오드가 형성될 제1활성영역(31)과 제1활성영역(31)의 일측 모서리로부터 연장되어 제1활성영역(31)의 타측 모서리에 접속되는 제2활성영역(32a, 32b, 32c)으로 구성된다.
- <54> 자세히 살펴보면, 제1활성영역(31)은 단위화소의 하부영역 대부분에 할당되며, 이는 포토다이오드의 면적을 증가시킴을 의미한다. 즉, 단위화소내 포토다이오드가 차지하는 면적 비율을 나타내는 필팩터(fill factor)가 종래 기술에 비해 증가한다. 종래기술에서는 포토다이오드가 형성되는 활성영역이 레이아웃상에서 단위화소의 상부 및 좌측을 제외한 영역에 할당됨에 따라 필팩터가 작았다.



<55> 그리고, 제2활성영역(32a, 32b, 32c)은 제1활성영역(31) 상부에 형성되어 고리 형태의 단위화소를 형성하는데, 제1활성영역(31)의 일측 모서리로부터 연장된 제1영역(32a)과 상기 제1영역(32a)으로부터 제1활성영역(31)의 타측 모서리 방향으로 뻗은 제2영역(32b)과 제2영역(32b)으로부터 제1활성영역(31)의 모서리까지 연장된 제3영역(32c)으로 구성된다. 여기서, 제1영역(32a)은 트랜스퍼트랜지스터 및 플로팅확산노드가 형성될 영역이며, 제2영역(32b)은 드라이브트랜지스터와 셀렉트트랜지스터가 형성될 영역이고, 제3영역(32c)은 전원전압단(VDD)과 리셋트랜지스터가 형성될 영역이다. 이때, 제2영역(32b)은 p형 웰(37)에 의해 내포되고 있다. 리셋트랜지스터와 드라이브트랜지스터가 형성되는 제2영역(32b)이 리셋트랜지스터와 트랜스퍼트랜지스터가 형성되는 제1영역(32a)과 제3영역(32c)으로 레이아웃상에서 확실히 구분되므로 p형 웰(37)의 영역이 확장될 수 있다. 이는 종래 소자의 스케일링에 따라 단위화소의 크기가 감소할수록 p형 웰의 영역도 감소하게 되어 i-line 감광막으로 정의하기가 곤란한 종래 기술의 단점을 극복할 수 있도록 해준다.

<56> 그리고, 제1활성영역(31)과 제2활성영역의 제1영역(32a)간 접합부 상부에 트랜스퍼트랜지스터의 게이트(33)가 위치하고, 제1활성영역(31)과 제2활성영역의 제3영역(32c)간 접합부 상부에 리셋트랜지스터의 게이트(34)가 위치하며, 제2활성영역의 제2영역(32b)과 나란히 배치되는 스트라이프(35a)와 스트라이프(35a)로부터 돌출되어 제2영역(32b)의 중앙부를 교차하는 방향으로 배치된 돌출부(35b)로 이루어진 셀렉트트랜지스터의 게이트(35)가 형성된다. 여기서, 돌출부(35b)는 그 끝단이 제1활성영역(31)과 오버랩되지 않는 길이를 갖고 형성된다.

<57> 그리고, 드라이브트랜지스터의 게이트가 제2활성영역 상부에 형성되는데, 리셋트랜지스터의 게이트(35)의 일측에 위치하여 제2활성영역의 제2영역(32b) 상부를 가로지르는 제1종방향 스트라이프(36a), 제1종방향스트라이프(36a)로부터 연장되어 제2활성영역의 제2영역(32b)과 나



란히 배치되는 횡방향스트라이프(36b) 및 횡방향스트라이프(36b)로부터 연장되어 다시 제2활성 영역의 제2영역(32b) 상부를 가로지르는 제2종방향스트라이프(36c)로 구성된다. 따라서, 드라이브트랜지스터의 게이트는 레이아웃상에서 셀렉트트랜지스터의 게이트의 돌출부(35b)를 에워싸는 형태를 갖는다.

<58> 한편, 드라이브트랜지스터의 게이트를 이루는 제2종방향스트라이프(36c)는 더미트랜지스터의 게이트 역할을 겸하는 것으로, 더미트랜지스터가 제2활성영역의 제1영역(32a)이 아닌 제2영역(32b)에 형성되도록 한다. 드라이브트랜지스터의 게이트 및 더미트랜지스터의 게이트는 도 3에 도시된 것처럼 플로팅확산노드(FD)와 연결되는데, 바람직하게는 브릿지배선(bridge interconnection, 40)을 통해서 드라이브트랜지스터의 게이트를 플로팅확산노드와 연결시켜 도 4에 비해 콘택의 수를 하나 더 감소시킨다. 아울러, 브릿지배선(40)을 통해 플로팅확산노드와 드라이브트랜지스터의 게이트를 직접 연결하므로써 신호전달이 용이하여 씨모스 이미지 센서의 감도를 확보하는데 매우 유리하다.

<59> 설명되지 않은 VDD CT, Tx CT, output CT는 본 발명의 단위화소의 M1CT를 나타내는 것으로, 도 6의 단위화소는 3개의 M1CT가 형성되어 있다. 이는 종래 M1CT의 수가 5개인 것을 4개로 감소시켜 배드픽셀페일을 억제할 수 있음을 의미하고, 도 4에 비해 콘택의 수를 하나 더 감소시켜 배드픽셀페일의 억제 효과가 더욱 현저하다.

<60> 도 6에서, 문턱전압이 매우 높은 더미트랜지스터는 드라이브트랜지스터의 게이트를 이루는 제2종방향스트라이프(36c)에 의해 형성되는데, 제2종방향스트라이프(36c)의 일부로부터 플로팅확산노드가 형성될 제1영역(32a)의 일부까지 확장된 높은 문턱전압층(39)을 갖는다. 즉, 높은 문턱전압층(39)은 제2종방향스트라이프(36c)의 일부와 제1영역(32a)의 일부까지 오버랩되면서 형성되는 이온주입층이다.



- <61> 도 7은 도 6의 더미트랜지스터 및 플로팅확산노드의 전기적 연결을 도시한 도면이다.
- <62> 도 7에 도시된 바와 같이, p형 에피층(100)의 일부에 p형 웰(37)이 형성되고, p형 웰(37) 상에 더미트랜지스터의 게이트 역할을 하는 드라이브트랜지스터의 제2종방향스트라이프(36c)가 형성되며 p형 에피층 표면 상에 트랜스퍼트랜지스터의 게이트(33)가 형성된다. 여기서, 제2종방향스트라이프(36c)와 트랜스퍼트랜지스터의 게이트(33) 아래에 게이트절연막(101)이 형성되고, 제2종방향스트라이프(36c)와 트랜스퍼트랜지스터의 게이트(33) 양측벽에 각각 스페이서(102)가 형성된다.
- <63> 그리고, 제2종방향스트라이프(36c)와 트랜스퍼트랜지스터의 게이트(33) 사이에 플로팅확산노드(FD)가 형성되며, 더미트랜지스터의 높은 문턱전압층(39)이 제2종방향스트라이프(36c)의 일부와 플로팅확산노드(FD)의 일부에 동시에 오버랩되어 형성된다. 이때, 높은 문턱전압층(39)은 B^{11} 또는 BF_2 를 20~40keV의 이온주입에너지 및 $1.0E12 \sim 9.0E13$ 의 도즈로 이온주입하여 형성한 것으로, 이러한 이온주입을 통해 전원전압[일반적으로 동작전압(V_{op})이라고 함]보다 높은 문턱전압값을 갖는다.
- <64> 그리고, 제2종방향스트라이프(36c)와 플로팅확산노드(FD)를 전기적으로 연결시키는 브릿지배선(40)이 제2종방향스트라이프(36c), 스페이서(102) 및 플로팅확산노드(FD) 상면을 덮으면서 형성된다. 여기서, 브릿지배선(40)은 살리사이드(salicide)로서, 바람직하게는 티타늄 증착, 실리콘 이온주입, 열처리 및 식각과 같은 일련의 공정을 통해 형성한 것이다. 이때, 실리콘 이온주입은 스페이서(102) 상부에도 살리사이드가 형성되도록 하기 위한 것으로, 티타늄 증착 및 열처리만을 실시하는 경우에는 스페이서 상부에 살리사이드가 형성되지 않아 제2종방향스트라이프(36c)와 플로팅확산노드(FD)를 연결하는 브릿지배선이 끊어지는 것을 방지하기 위해 도입한 것이다.



- <65> 한편, 도시되지 않았지만, 도 5와 같이 제2종방향스트라이프(36c)와 트랜스퍼트랜지스터의 게이트(33) 상면과 플로팅확산노드(FD) 상면에 살리사이드(104)가 형성될 수 있다.
- <66> 도 7에 도시된 바와 같이, 제2종방향스트라이프(36c)와 플로팅확산노드(FD)를 버팅콘택 없이 브릿지배선만을 이용하여 전기적으로 연결시키면 버팅콘택을 생략해도 되므로 M1CT의 수를 하나 더 감소시킬 수 있다.
- <67> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

- <68> 상술한 바와 같은 본 발명은 네이티브 NMOSFET에 영향을 미치지 않으면서 동시에 p형 웰의 영역을 크게 확장할 수 있으므로 소자의 스케일링에 따른 확장된 p형 웰 공정을 추가로 적용하지 않아도 미니 p형 웰을 구현할 수 있는 효과가 있다.
- <69> 그리고, 플로팅확산노드와 드라이브트랜지스터의 게이트를 버팅콘택 또는 브릿지배선을 이용하여 직접 연결시키므로써 신호전달효율이 향상되고, 아울러 콘택의 수가 감소하여 배드픽셀페일 발생을 억제할 수 있는 효과가 있다.

<70>

**【특허청구범위】****【청구항 1】**

포토다이오드;

상기 포토다이오드와 전원전압단 사이에 소스-드레인 경로가 형성되고 게이트로 제1제어신호를 인가받는 리셋트랜지스터

상기 포토다이오드와 플로팅확산노드 사이에 소스-드레인 경로가 형성되며 게이트로 제2제어신호를 인가받는 트랜스퍼트랜지스터;

게이트가 상기 플로팅확산노드에 접속되고 드레인이 상기 전원전압단에 접속된 드라이브트랜지스터;

게이트에 제3제어신호를 인가받으며 드레인이 상기 드라이브트랜지스터의 소스에 접속되며 자신의 소스는 출력단에 접속된 셀렉트트랜지스터; 및

상기 드라이브트랜지스터의 소스와 상기 플로팅확산노드 사이에 소스-드레인 경로가 형성되며 게이트가 상기 플로팅확산노드에 접속된 더미 트랜지스터

를 포함하는 씨모스 이미지센서.

【청구항 2】

제1항에 있어서,

상기 더미트랜지스터는 상기 전원전압보다 높은 문턱전압을 가져 항상 턴오프 상태를 유지하는 트랜지스터인 것을 특징으로 하는 씨모스 이미지 센서의 단위화소.



【청구항 3】

제1항에 있어서,

상기 플로팅확산노드는 기판내에 형성되는 도펀트주입층이고, 상기 더미트랜지스터의 문턱전압층은 상기 플로팅확산노드의 일부와 상기 더미트랜지스터의 게이트 일부에 오버랩된 것을 특징으로 하는 씨모스 이미지 센서의 단위화소.

【청구항 4】

제1항에 있어서,

상기 드라이브트랜지스터와 상기 더미트랜지스터의 각 게이트는 동일한 전도막으로 상호 연결된 것을 특징으로 하는 씨모스 이미지센서의 단위화소.

【청구항 5】

제1항에 있어서,

상기 드라이브트랜지스터의 게이트와 상기 플로팅확산노드는 하나의 버팅콘택을 통해 서로 전기적으로 연결된 것을 특징으로 하는 씨모스 이미지 센서의 단위화소.

【청구항 6】

제1항에 있어서,



상기 드라이브트랜지스터의 게이트와 상기 플로팅확산노드는 살리사이드를 통해 서로 전기적으로 연결된 것을 특징으로 하는 씨모스 이미지 센서의 단위화소.

【청구항 7】

포토다이오드가 형성된 제1활성영역; 및

상기 제1활성영역과 고리 형태를 형성하도록 상기 제1활성영역의 일측 모서리로부터 연장되어 상기 제1활성영역의 타측 모서리에 접속되는 제2활성영역을 포함하는 씨모스 이미지 센서의 단위화소.

【청구항 8】

제7항에 있어서,

상기 제2활성영역은,

상기 제1활성영역의 일측 모서리로부터 연장되며 트랜스퍼트랜지스터 및 플로팅확산노드가 형성된 제1영역;

상기 제1영역으로부터 상기 제1활성영역의 타측 모서리 방향으로 뻗어 드라이브트랜지스터, 셀렉트트랜지스터 및 상기 드라이브트랜지스터 동작시 상기 플로팅확산노드로의 전류 역류를 방지하는 더미트랜지스터가 형성된 제2영역; 및

상기 제2영역으로부터 상기 제1활성영역의 모서리까지 연장되어 전원전압단과 리셋트랜지스터가 형성된 제3영역



을 포함하는 것을 특징으로 하는 씨모스 이미지 센서의 단위화소.

【청구항 9】

제8항에 있어서,

상기 제2영역을 내포하는 도전성 웰을 더 포함하는 것을 특징으로 하는 씨모스 이미지 센서의 단위화소.

【청구항 10】

제8항에 있어서,

상기 드라이브트랜지스터의 게이트는,

상기 제2영역 상부를 가로지르는 제1종방향스트라이프;

상기 제1종방향스트라이프로부터 연장되어 상기 제2영역과 나란히 배치되는 횡방향스트라이프; 및

상기 횡방향스트라이프로부터 연장되어 다시 상기 제2영역 상부를 가로지르며 상기 더미트랜지스터의 게이트를 겹치는 제2종방향스트라이프

를 포함하는 것을 특징으로 하는 씨모스 이미지 센서의 단위화소.

【청구항 11】

제10항에 있어서,



상기 제2종방향스트라이프의 일부와 상기 제2영역의 일부에 동시에 오버랩되며, 상기 전원전압단에 인가되는 전원전압보다 높은 문턱전압을 갖는 상기 더미트랜지스터의 문턱전압층을 더 포함하는 것을 특징으로 하는 씨모스 이미지 센서의 단위화소.

【청구항 12】

제8항에 있어서,

상기 드라이브트랜지스터의 게이트와 상기 플로팅확산노드는 하나의 버팅콘택을 통해 서로 전기적으로 연결된 것을 특징으로 하는 씨모스 이미지 센서의 단위화소.

【청구항 13】

제8항에 있어서,

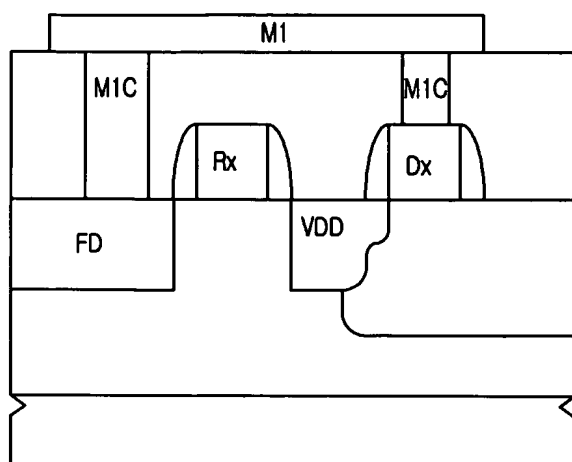
상기 드라이브트랜지스터의 게이트와 상기 플로팅확산노드는 브릿지배선을 통해 서로 전기적으로 연결된 것을 특징으로 하는 씨모스 이미지 센서의 단위화소.

【청구항 14】

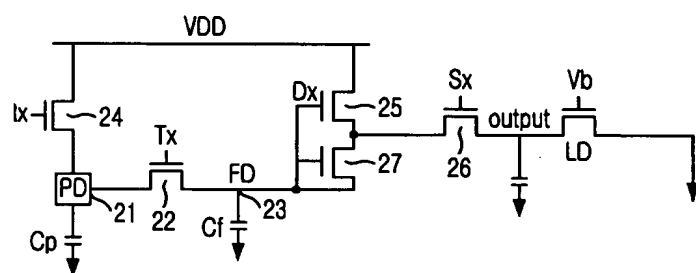
제13항에 있어서,

상기 브릿지배선은 살리사이드막인 것을 특징으로 하는 씨모스 이미지 센서의 단위화소.

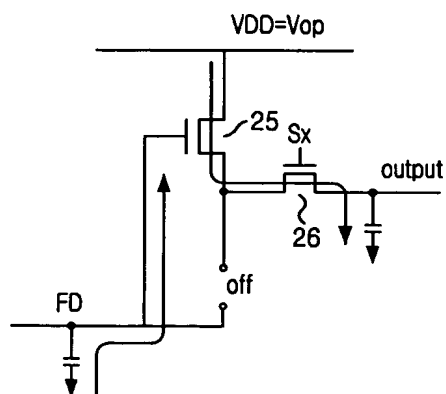
【도 2b】



【도 3a】

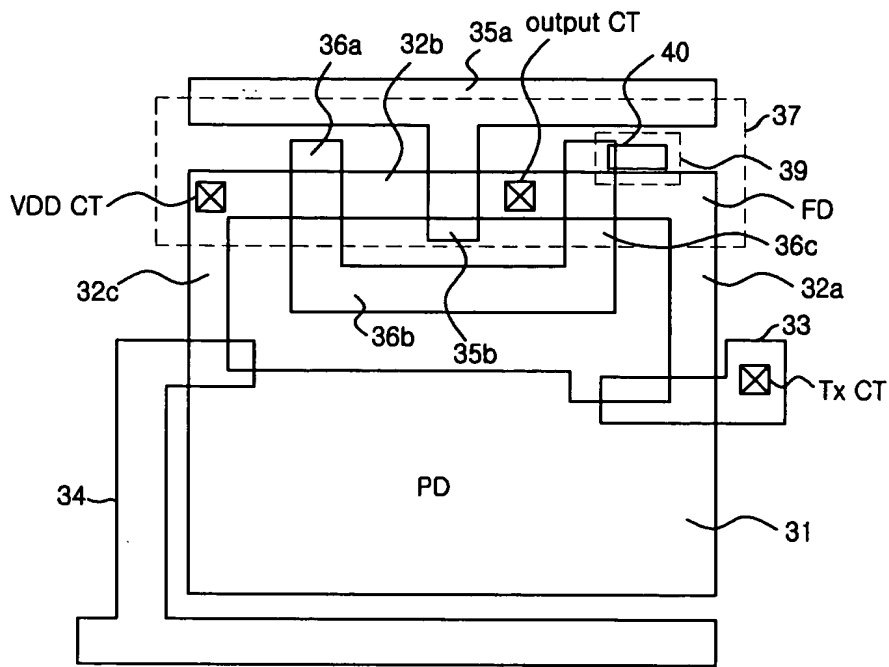


【도 3b】



The diagram shows a PLL system (31) with a phase detector (PD) (34) and a divider (33). The PD (34) is connected to a feedback loop that includes a divider (33) and a feedback loop with various components labeled 32a, 32b, 32c, 35a, 35b, 36a, 36b, 36c, 37, 38, 39, and a Tx CT (33). The output of the PD (34) is connected to the divider (33), which is connected to the feedback loop. The feedback loop includes a divider (33) and a feedback loop with various components labeled 32a, 32b, 32c, 35a, 35b, 36a, 36b, 36c, 37, 38, 39, and a Tx CT (33). The output of the PD (34) is connected to the divider (33), which is connected to the feedback loop. The feedback loop includes a divider (33) and a feedback loop with various components labeled 32a, 32b, 32c, 35a, 35b, 36a, 36b, 36c, 37, 38, 39, and a Tx CT (33).

【도 6】



【도 7】

